

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-302482

(43)Date of publication of application : 13.11.1998

(51)Int.Cl.

G11C 16/02  
H01L 27/115  
H01L 21/8247  
H01L 29/788  
H01L 29/792

(21)Application number : 09-076148

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 27.03.1997

(72)Inventor : TAKANO HIROSHI

(30)Priority

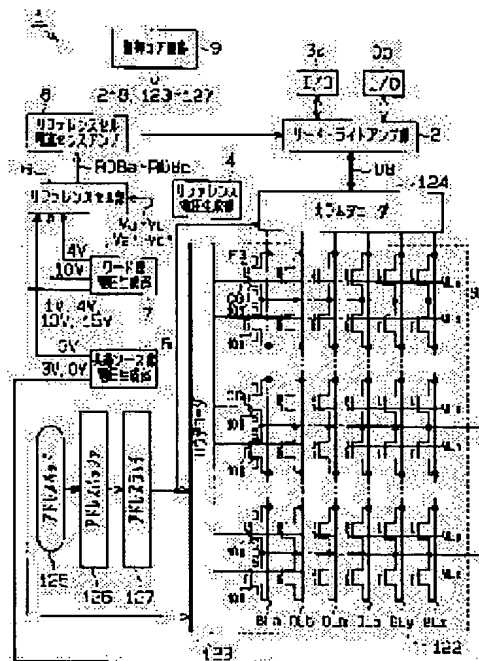
Priority number : 09 43972 Priority date : 27.02.1997 Priority country : JP

## (54) SEMICONDUCTOR MEMORY

(57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor memory which is capable of performing a high speed write-in while controlling the written state of a memory cell and also has a simple constitution.

**SOLUTION:** The two-bit data (input data) specified from the outside of a flash EEPROM 1 are transferred from a read/write amplifier part 2 to one selected line of bit lines BL<sub>a</sub>-BL<sub>z</sub> via data busses DB and a column decoder 124. The two-bit data (read data) read out from one arbitrary piece of memory cells 100 are transferred from the bit lines BL<sub>a</sub>-BL<sub>z</sub> via the column decoder 124 and the data busses DB to the read/write amplifier part 2, which generates two-bit output data from the read data.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

BEST AVAILABLE COPY

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-302482

(43)公開日 平成10年(1998)11月13日

(51)Int.Cl.<sup>6</sup>

識別記号

F I

G 1 1 C 16/02

G 1 1 C 17/00

6 1 2 D

H 0 1 L 27/115

6 1 1 A

21/8247

H 0 1 L 27/10

4 3 4

29/788

29/78

3 7 1

29/792

審査請求 未請求 請求項の数7 O L (全 18 頁)

(21)出願番号

特願平9-76148

(22)出願日

平成9年(1997)3月27日

(31)優先権主張番号

特願平9-43972

(32)優先日

平9(1997)2月27日

(33)優先権主張国

日本 (J P)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 高野 洋

大阪府守口市京阪本通2丁目5番5号 三

洋電機 株式会社内

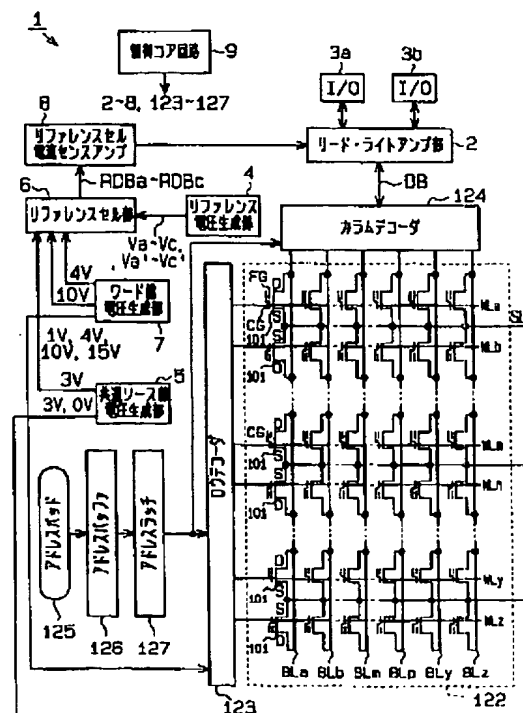
(74)代理人 弁理士 恩田 博宜

(54)【発明の名称】 半導体メモリ

(57)【要約】

【課題】メモリセルの書き込み状態を正確に制御しつつ高速な書き込みを行うことが可能で、且つ、簡単な回路構成の半導体メモリを提供することができる。

【解決手段】フラッシュEEPROM1の外部から指定された2ビットのデータ(入力データ)は、リード・ライトアンプ部2からデータバスDBおよびカラムデコーダ124を介して、選択された1本のビット線BLa~BLzへ転送される。任意の1個のメモリセル101から読み出された2ビットのデータ(リードデータ)は、ビット線BLa~BLzからカラムデコーダ124およびデータバスDBを介してリード・ライトアンプ部2へ転送される。リード・ライトアンプ部2は、後記するようにリードデータから2ビットの出力データを生成する。



**【特許請求の範囲】**

【請求項1】 メモリセルに流れるセル電流に基づいて、メモリセルが所望の消去状態に到達したことを判定し、消去動作を制御する半導体メモリ。

【請求項2】 まず、メモリセルの浮遊ゲート電極を高電圧に制御することにより、浮遊ゲート電極に大量の電荷を蓄積し、次に、浮遊ゲート電極から電荷を僅かずつ引き抜き、そのときにメモリセルに流れるセル電流に基づいて浮遊ゲート電極の電圧を精密に制御することで、メモリセルを所望の書き込み状態に制御して、メモリセルに所望のデータ値を記憶させる半導体メモリ。

【請求項3】 まず、メモリセルの浮遊ゲート電極を所望の電圧の近傍に制御することにより、浮遊ゲート電極に所望の電荷量の近傍の電荷を蓄積し、次に、浮遊ゲート電極から電荷を僅かずつ引き抜き、そのときにメモリセルに流れるセル電流に基づいて浮遊ゲート電極の電圧を精密に制御することで、メモリセルを所望の書き込み状態に制御して、メモリセルに所望のデータ値を記憶させる半導体メモリ。

【請求項4】 請求項1～3のいずれか1項に記載の半導体メモリにおいて、前記した浮遊ゲート電極から電荷を僅かずつ引き抜くときにメモリセルに流れるセル電流を検出する手段と、メモリセルに記憶されたデータを読み出す際にメモリセルに流れるセル電流を検出する手段とを共有化する半導体メモリ。

【請求項5】 請求項1～4のいずれか1項に記載の半導体メモリにおいて、スプリットゲート型のメモリセルを用い、ソース領域およびドレイン領域の電圧は読み出し動作時と同じに設定し、制御ゲート電極の電圧のみを読み出し動作時よりも高く設定することにより、浮遊ゲート電極から電荷を僅かずつ引き抜く動作と、メモリセルに流れるセル電流を検出する動作とを同時に行う半導体メモリ。

【請求項6】 請求項1～5のいずれか1項に記載の半導体メモリにおいて、浮遊ゲート電極の電圧を制御して、メモリセルに流れるセル電流が複数の設定値間のどの範囲内にあるかを検出し、その設定値の各範囲を複数の書き込み状態に対応させることにより、メモリセルに対して複数の書き込み状態を設定して多値のデータを記憶させる半導体メモリ。

【請求項7】 請求項1～6のいずれか1項に記載の半導体メモリにおいて、前記メモリセルが複数個配列されて構成されたメモリセルアレイは仮想接地方式をとる半導体メモリ。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】 本発明は半導体メモリに係り、詳しくは不揮発性半導体メモリ、特に、フラッシュEEPROM (Electrically Erasable and Programmable Read Only Memory) に関するものである。

**【0002】**

【従来の技術】 近年、強誘電体メモリ、EPROM (Erasable and Programmable Read Only Memory)、EEPROMなどの不揮発性半導体メモリが注目されている。EPROMやEEPROMでは、浮遊ゲートに電荷を蓄積し、電荷の有無による閾値電圧の変化を制御ゲートによって検出することで、データの記憶を行わせるようになっている。また、EEPROMにはフラッシュEEPROMがある。フラッシュEEPROMは、メモリチップ全体でデータの消去を行うか、または、メモリセルアレイを任意のブロックに分けてその各ブロック単位でデータの消去を行う。

【0003】 フラッシュEEPROMには、(1) 記憶されたデータの揮発性、(2) 低消費電力、(3) 電氣的書き換え (オンボード書き換え) 可能、(4) 低コスト、といった長所があることから、携帯電話や携帯情報端末などにおけるプログラムやデータの格納用メモリとして、その利用範囲がますます拡大している。

【0004】 フラッシュEEPROMを構成するメモリセルには、スプリットゲート型やスタックゲート型などがある。スプリットゲート型メモリセルを用いるフラッシュEEPROMは、USP5029130 (G11C11/40) に開示されている。

【0005】 図18に、同公報に記載されているスプリットゲート型メモリセル101の断面構造を示す。P型単結晶シリコン基板102上にN型のソース領域Sおよびドレイン領域Dが形成されている。ソース領域Sとドレイン領域Dに挟まれたチャンネル領域CH上に、シリコン酸化膜103を介して浮遊ゲート電極FGが形成されている。浮遊ゲート電極FG上にシリコン酸化膜104を介して制御ゲート電極CGが形成されている。制御ゲート電極CGの一部は、シリコン酸化膜103を介してチャンネル領域CH上に配置され、選択ゲート105を構成している。

【0006】 図15に、同公報に記載されているスプリットゲート型メモリセル101を用いたフラッシュEEPROM121の全体構成を示す。メモリセルアレイ122は、複数のメモリセル101がマトリックス状に配置されて構成されている。行 (ロウ) 方向に配列された各メモリセル101の制御ゲート電極CGは、共通のワード線WL a～WL zに接続されている。列 (カラム) 方向に配列された各メモリセル101のドレイン領域Dは、共通のビット線BL a～BL zに接続されている。全てのメモリセル101のソース領域Sは共通ソース線SLに接続され、その共通ソース線SLは接地されている。

【0007】 各ワード線WL a～WL zはロウデコーダ123に接続され、各ビット線BL a～BL zはカラムデコーダ124に接続されている。フラッシュEEPROM121の外部から指定されたロウアドレスおよびカ

ラムアドレスは、アドレスパッド125に入力される。そのロウアドレスおよびカラムアドレスは、アドレスパッド125からアドレスバッファ126を介してアドレスラッチ127へ転送される。アドレスラッチ127でラッチされた各アドレスのうち、ロウアドレスはロウデコード123へ転送され、カラムアドレスはカラムデコード124へ転送される。

【0008】ロウデコード123は、アドレスラッチ127でラッチされたロウアドレスに対応した1本のワード線WL<sub>a</sub>～WL<sub>z</sub>を選択し、各ワード線WL<sub>a</sub>～WL<sub>z</sub>の電圧を後記する各動作モードに対応して制御する。つまり、各ワード線WL<sub>a</sub>～WL<sub>z</sub>の電圧を制御することにより、各メモリセル101の制御ゲート電極CGの電圧が制御される。

【0009】カラムデコード124は、アドレスラッチ127でラッチされたカラムアドレスに対応した1本のビット線BL<sub>a</sub>～BL<sub>z</sub>を選択し、各ビット線BL<sub>a</sub>～BL<sub>z</sub>の電圧を後記する各動作モードに対応して制御する。つまり、各ビット線BL<sub>a</sub>～BL<sub>z</sub>の電圧を制御することにより、各メモリセル101のドレイン領域204の電圧が制御される。

【0010】フラッシュEEPROM121の外部から指定されたデータは、データパッド128に入力される。そのデータは、データパッド128から入力バッファ129を介してカラムデコード124へ転送される。カラムデコード124は、前記のように選択したビット線BL<sub>a</sub>～BL<sub>z</sub>の電圧を、そのデータに対応して後記するように制御する。

【0011】任意のメモリセル101から読み出されたデータは、ビット線BL<sub>a</sub>～BL<sub>z</sub>からカラムデコード124を介してセンスアンプ130へ転送される。センスアンプ130は電流センスアンプである。カラムデコード124は選択した1本のビット線BL<sub>a</sub>～BL<sub>z</sub>とセンスアンプ130とを接続する。センスアンプ130で判別されたデータは、出力バッファ131からデータパッド128を介して外部へ出力される。

【0012】尚、上記した各回路(123～131)の動作は制御コア回路132によって制御される。次に、フラッシュEEPROM121の各動作モード(消去動作、書き込み動作、読み出し動作)について、図16を参照して説明する。尚、いずれの動作モードにおいても、共通ソース線SLの電圧はグラウンドレベル(=0V)に保持される。そのため、いずれの動作モードにおいても、全てのメモリセル101のソース領域Sの電圧は0Vにされる。また、基板102の電圧もグラウンドレベルに保持される。

#### 【0013】(a) 消去動作

ロウデコード123によってワード線WL<sub>m</sub>が選択され、そのワード線WL<sub>m</sub>に接続された全てのメモリセル101に記憶されたデータが消去される場合について説

明する。

【0014】全てのビット線BL<sub>a</sub>～BL<sub>z</sub>の電圧は0Vにクランプされる。そのため、全てのメモリセル101のドレイン領域Dの電圧は0Vにクランプされる。ワード線WL<sub>m</sub>の電圧は15Vにされ、それ以外のワード線(非選択のワード線)WL<sub>a</sub>～WL<sub>l</sub>、WL<sub>n</sub>～WL<sub>z</sub>の電圧は0Vにクランプされる。そのため、ワード線WL<sub>m</sub>に接続された各メモリセル101の制御ゲート電極CGの電圧は15Vにされ、非選択のワード線WL<sub>a</sub>～WL<sub>l</sub>、WL<sub>n</sub>～WL<sub>z</sub>に接続された各メモリセル101の制御ゲート電極CGの電圧は0Vにクランプされる。

【0015】浮遊ゲート電極FGとドレイン領域Dの間の静電容量と、制御ゲート電極CGと浮遊ゲート電極FGの間の静電容量とを比べると、前者の方が圧倒的に大きい。つまり、浮遊ゲート電極FGはドレイン領域Dと強くカップリングしている。そのため、制御ゲート電極CGが15V、ドレイン領域Dが0Vになっても、浮遊ゲート電極FGの電圧はあまり変化せず、制御ゲート電極CGと浮遊ゲート電極FGの電圧差が大きくなって各電極CG、FG間に高電界が生じる。

【0016】その結果、ファウラー・ノルドハイム・トンネル電流(Fowler-Nordheim Tunnel Current、以下、FNTトンネル電流という)が流れ、浮遊ゲート電極FG中の電子が制御ゲート電極CG側へ引き抜かれて、メモリセル101に記憶されたデータの消去が行われる。

【0017】この消去動作は、選択されたワード線WL<sub>m</sub>に接続されている全てのメモリセル101に対して行われる。尚、複数のワード線WL<sub>a</sub>～WL<sub>z</sub>を同時に選択することにより、その各ワード線に接続されている全てのメモリセル101に対して消去動作を行うこともできる。このように、メモリセルアレイ122を複数組のワード線WL<sub>a</sub>～WL<sub>z</sub>毎の任意のブロックに分けてその各ブロック単位でデータの消去を行う消去動作は、ブロック消去と呼ばれる。

#### 【0018】(b) 書き込み動作

ロウデコード123によってワード線WL<sub>m</sub>が選択され、カラムデコード124によってビット線BL<sub>m</sub>が選択され、そのワード線WL<sub>m</sub>とビット線BL<sub>m</sub>との交点に接続されたメモリセル101が選択され、そのメモリセル101にデータを書き込む場合について説明する。

【0019】ワード線WL<sub>m</sub>の電圧は1Vにされ、それ以外のワード線(非選択のワード線)WL<sub>a</sub>～WL<sub>l</sub>、WL<sub>n</sub>～WL<sub>z</sub>の電圧は0Vにクランプされる。そのため、ワード線WL<sub>m</sub>に接続された各メモリセル101の制御ゲート電極CGの電圧は1Vにされ、非選択のワード線WL<sub>a</sub>～WL<sub>l</sub>、WL<sub>n</sub>～WL<sub>z</sub>に接続された各メモリセル101の制御ゲート電極CGの電圧は0Vにクランプされる。

【0020】ビット線BL<sub>m</sub>の電圧は12Vにされ、そ

10

20

30

40

50

## 5

れ以外のビット線（非選択のビット線） $BLa \sim BL1$ ,  $BLn \sim BLz$ の電圧は0Vにクランプされる。そのため、ビット線 $BLm$ に接続された各メモリセル101のドレイン領域Dの電圧は12Vにされ、非選択のビット線 $BLa \sim BL1$ ,  $BLn \sim BLz$ に接続された各メモリセル101のドレイン領域Dの電圧は0Vにクランプされる。

【0021】メモリセル101において、浮遊ゲート電極FGとソース領域Sおよびドレイン領域Dとによって構成されるトランジスタの閾値電圧 $V_{th}$ は0.5Vである。従って、選択されたメモリセル101では、ソース領域S中の電子が反転状態のチャネル領域CH中へ移動する。一方、ドレイン領域Dの電圧は12Vであるため、ドレイン領域Dと浮遊ゲート電極FGとの間の静電容量を介したカップリングにより、浮遊ゲート電極FGの電圧が持ち上げられて12Vに近くなる。そのため、制御ゲート電極CGと浮遊ゲート電極FGの間には高電界が生じる。従って、チャネル領域CH中の電子は加速されてホットエレクトロンとなり、浮遊ゲート電極FGへ注入される。その結果、選択されたメモリセル101の浮遊ゲート電極FGに電荷が蓄積され、1ビットのデータが書き込まれて記憶される。

【0022】この書き込み動作は、消去動作と異なり、選択されたメモリセル101毎に行うことができる。

(c) 読み出し動作

ロウデコーダ123によってワード線 $WLm$ が選択され、カラムデコーダ124によってビット線 $BLm$ が選択され、そのワード線 $WLm$ とビット線 $BLm$ との交点に接続されたメモリセル101が選択され、そのメモリセル101からデータが読み出される場合について説明する。

【0023】ワード線 $WLm$ の電圧は4Vにされ、それ以外のワード線（非選択のワード線） $WLa \sim WL1$ ,  $WLn \sim WLz$ の電圧は0Vにクランプされる。そのため、ワード線 $WLm$ に接続された各メモリセル101の制御ゲート電極CGの電圧は4Vにされ、非選択のワード線 $WLa \sim WL1$ ,  $WLn \sim WLz$ に接続された各メモリセル101の制御ゲート電極CGの電圧は0Vにクランプされる。

【0024】ビット線 $BLm$ の電圧は3Vにされ、それ以外のビット線（非選択のビット線） $BLa \sim BL1$ ,  $BLn \sim BLz$ の電圧は0Vにクランプされる。そのため、ビット線 $BLm$ に接続された各メモリセル101のドレイン領域Dの電圧は3Vにされ、非選択のビット線 $BLa \sim BL1$ ,  $BLn \sim BLz$ に接続された各メモリセル101のドレイン領域Dの電圧は0Vにクランプされる。

【0025】前記したように、消去状態のメモリセル101の浮遊ゲート電極FGには負電荷が蓄積されていないため、浮遊ゲート電極FGはプラスに帯電している。

## 6

それに対して、書き込み状態のメモリセル101の浮遊ゲート電極FGには負電荷が蓄積されているため、浮遊ゲート電極FGはマイナスに帯電している。従って、消去状態のメモリセル101の浮遊ゲート電極FG直下のチャネル領域CHはオン状態になっており、書き込み状態のメモリセル101の浮遊ゲート電極FG直下のチャネル領域CHはオフ状態になっている。そのため、制御ゲート電極CGに4Vが印加されたときに、ドレイン領域Dからソース領域Sへ向かって流れるセル電流は、消去状態のメモリセル101の方が書き込み状態のメモリセル101よりも大きくなる。

【0026】この消去状態と書き込み状態の各メモリセル101間のセル電流の大小をセンスアンプ130で判別することにより、選択されたメモリセル101に記憶されたデータの値を読み出すことができる。例えば、消去状態のメモリセル101のデータの値を「1」、書き込み状態のメモリセル101のデータの値を「0」として読み出しを行う。つまり、各メモリセル101に、消去状態のデータ値「1」と、書き込み状態のデータ値「0」の2値（＝1ビット）を記憶させ、そのデータ値を読み出すことができる。

【0027】この読み出し動作は、消去動作と異なり、選択されたメモリセル101毎に行うことができる。ちなみに、スプリットゲート型メモリセル101において、ソース領域Sをドレインと呼び、ドレイン領域Dをソースと呼ぶフラッシュEEPROMは、WO92/18980 (G11C 13/00) に開示されている。図17に、その場合の各動作モードにおける各部の電圧を示す。

【0028】ところで、近年、フラッシュEEPROMの集積度を向上させるため、メモリセルに消去状態と書き込み状態の2値（＝1ビット）を記憶させるだけでなく、3値以上を記憶させること（多値記憶動作）が求められている。

【0029】図18に、読み出し動作におけるスプリットゲート型メモリセル101の浮遊ゲート電極FGの電圧（浮遊ゲート電圧） $V_{fg}$ とセル電流 $I_{cell}$ との特性を示す。尚、浮遊ゲート電圧 $V_{fg}$ は、ソース領域Sに対する浮遊ゲート電極FGの電圧である。

【0030】読み出し動作において、制御ゲート電極CGには定電圧（＝4V）が印加されているため、制御ゲート電極CG直下のチャネル領域CHは定抵抗として機能する。よって、メモリセル101は、浮遊ゲート電極FGとソース領域Sおよびドレイン領域Dとから構成されるトランジスタと、制御ゲート電極CGの直下のチャネル領域CHからなる定抵抗とを直列接続したものとみなすことができる。

【0031】従って、浮遊ゲート電圧 $V_{fg}$ が一定値（＝3.5V）未満の領域では、トランジスタの特性が支配的となる。そのため、メモリセル101において、前記トランジスタの閾値電圧 $V_{th}$ （＝0.5V）より

も浮遊ゲート電圧 $V_{fg}$ の方が小さい領域では、セル電流 $I_{cell}$ は $0\mu A$ となる。そして、浮遊ゲート電圧 $V_{fg}$ が閾値電圧 $V_{th}$ を越えると、セル電流 $I_{cell}$ は右肩上がりの特性を示す。また、浮遊ゲート電圧 $V_{fg}$ が $3.5V$ を越える領域では、ゲート電極CG直下のチャネル領域CHからなる定抵抗の特性が支配的となり、セル電流 $I_{cell}$ は飽和する。

【0032】ところで、浮遊ゲート電圧 $V_{fg}$ は、書き込み動作において浮遊ゲート電極FGに蓄積された電荷によって生じる電圧 $V_{fgw}$ と、ドレイン領域Dからのカップリングによって生じる電圧 $V_{fgc}$ との和である( $V_{fg} = V_{fgw} + V_{fgc}$ )。読み出し動作において、電圧 $V_{fgc}$ は一定であるため、セル電流 $I_{cell}$ は電圧 $V_{fgw}$ によって一義的に決定される。また、書き込み動作において、浮遊ゲート電極FGに蓄積される電荷量は、書き込み動作の動作時間を調整することによって制御することができる。従って、書き込み動作において、その動作時間を調整して浮遊ゲート電極FGに蓄積される電荷量を制御することで電圧 $V_{fgw}$ を制御すれば、浮遊ゲート電圧 $V_{fg}$ を制御することができる。その結果、読み出し動作におけるセル電流 $I_{cell}$ を任意に設定することができる。

【0033】そこで、図18に示すように、セル電流 $I_{cell}$ が $20\mu A$ 未満の領域をデータ値「00」、 $20\mu A$ 以上 $50\mu A$ 未満の領域をデータ値「01」、 $50\mu A$ 以上 $80\mu A$ 未満の領域をデータ値「10」、 $80\mu A$ 以上の領域をデータ値「11」に、それぞれ対応づける。そして、書き込み動作において、浮遊ゲート電圧 $V_{fg}$ が前記各セル電流 $I_{cell}$ ( $=20, 50, 80\mu A$ )に対応した値になるように、書き込み動作の動作時間を調整する。

【0034】つまり、消去状態のメモリセル101の浮遊ゲート電極には電荷が蓄積されていないため、データ値「11」を記憶しているのと同じ状態になっている。このとき、浮遊ゲート電圧 $V_{fg}$ は電圧 $V_c$ ( $=1.75V$ )以上になっている。

【0035】そして、書き込み動作が行われ、浮遊ゲート電極FGに電荷が蓄積されるにつれて、浮遊ゲート電圧 $V_{fg}$ は低下していく。そのため、浮遊ゲート電圧 $V_{fg}$ が電圧 $V_b$ ( $=1.25V$ )以上 $V_c$ ( $=1.75V$ )未満になった時点で書き込み動作を停止すれば、メモリセル101にデータ値「10」の入力データが書き込まれたことになる。また、浮遊ゲート電圧 $V_{fg}$ が電圧 $V_a$ ( $=0.75V$ )以上 $V_b$ 未満になった時点で書き込み動作を停止すれば、メモリセル101にデータ値「01」の入力データが書き込まれたことになる。また、浮遊ゲート電圧 $V_{fg}$ が電圧 $V_a$ 未満になった時点で書き込み動作を停止すれば、メモリセル101にデータ値「00」の入力データが書き込まれたことになる。

【0036】尚、各電圧 $V_a, V_b, V_c$ は、読み出し

動作におけるメモリセル101の浮遊ゲート電圧 $V_{fg}$ とセル電流 $I_{cell}$ との特性に従って最適な値に設定しておく。

【0037】このようにすれば、各電圧 $V_a, V_b, V_c$ をメモリセル101の閾値電圧として、1個のメモリセル101に4値( $=2$ ビット)のデータを記憶させることができる。

【0038】ところで、フラッシュEEPROM121に上記のような多値記憶動作を行わせるには、書き込み動作時にメモリセル101の浮遊ゲート電圧 $V_{fg}$ を精密に制御することによって書き込み状態を正確に制御することが必要不可欠である。すなわち、書き込み後のメモリセル101の浮遊ゲート電圧 $V_{fg}$ を、精度良く所望の値に設定することが重要となる。

【0039】その方法として、現在一般に用いられているのが、ベリファイ書き込み方式である。例えば、多値記憶動作におけるベリファイ書き込み方式については、特開平4-57294号公報(GIIC 16/04, H01L 27/115, H01L 29/788, H01L 29/792)に開示されている。

【0040】ベリファイ書き込み方式では、メモリセル101に対して、まず、一定時間(数百nsec~数 $\mu$ sec)だけ書き込み動作を行い、次に、検証のための読み出し動作(ベリファイ読み出し動作)を行う。続いて、書き込み動作において書き込むべきデータ値と、読み出し動作において読み出されたデータ値(すなわち、書き込み動作において実際に書き込まれたデータ値)とを比較する(比較動作)。ここで、書き込むべきデータ値と読み出されたデータ値とが一致していなければ、再び一定時間だけ書き込み動作を行う。このように、書き込むべきデータ値と読み出されたデータ値とが一致するまで、書き込み動作→ベリファイ読み出し動作→比較動作を1サイクルとして、このサイクルを繰り返し行う。

【0041】

【発明が解決しようとする課題】ベリファイ書き込み方式には以下の問題点がある。

(1)メモリセル101に対するデータの書き込みに直接寄与しない動作(ベリファイ読み出し動作および比較動作)が必要である。従って、書き込み動作からベリファイ読み出し動作へ移行する際に、前記した書き込み動作における各部の電圧条件(書き込みバイアス条件)から前記した読み出し動作における各部の電圧条件(読み出しバイアス条件)へ切り替えるための期間(数 $\mu$ sec)が必要となる。加えて、ベリファイ読み出し動作を行うための期間や、比較動作を行うための期間も必要となる。ちなみに、ベリファイ読み出し動作および比較動作を行うための期間は合わせて約100~300nsecである。

【0042】(2)浮遊ゲート電圧 $V_{fg}$ をより精密に制御するには、1回の書き込み動作における浮遊ゲート電圧 $V_{fg}$ の変化量を小さく抑える必要があるため、1

回の書き込み動作を行う時間を短くしなければならない。その結果、前記サイクル（書き込み動作→ベリファイ読み出し動作→比較動作）の繰り返し回数が増加し、書き込み動作全体に要する時間（総書き込み時間）が増大する。

【0043】（3）前記サイクルの各動作を切り替えるためのタイミング制御は細かく複雑であるため、制御コア回路132に大きな負担がかかる。

（4）上記（1）～（3）により、ベリファイ書き込み方式は、メモリセル101の浮遊ゲート電圧 $V_{fg}$ を精密に制御しつつ、高速な書き込みを行うためには不利な方式であるといえる。

【0044】本発明は上記問題点を解決するためになされたものであって、その目的は、メモリセルの書き込み状態を正確に制御しつつ高速な書き込みを行うことが可能で、且つ、簡単な回路構成の半導体メモリを提供することにある。

【0045】

【課題を解決するための手段】請求項1に記載の発明は、メモリセルに流れるセル電流に基づいて、メモリセルが所望の消去状態に到達したことを判定し、消去動作を制御することをその要旨とする。

【0046】請求項2に記載の発明は、まず、メモリセルの浮遊ゲート電極を高電圧に制御することにより、浮遊ゲート電極に大量の電荷を蓄積し、次に、浮遊ゲート電極から電荷を僅かずつ引き抜き、そのときにメモリセルに流れるセル電流に基づいて浮遊ゲート電極の電圧を精密に制御することで、メモリセルを所望の書き込み状態に制御して、メモリセルに所望のデータ値を記憶させることをその要旨とする。

【0047】請求項3に記載の発明は、まず、メモリセルの浮遊ゲート電極を所望の電圧の近傍に制御することにより、浮遊ゲート電極に所望の電荷量の近傍の電荷を蓄積し、次に、浮遊ゲート電極から電荷を僅かずつ引き抜き、そのときにメモリセルに流れるセル電流に基づいて浮遊ゲート電極の電圧を精密に制御することで、メモリセルを所望の書き込み状態に制御して、メモリセルに所望のデータ値を記憶させることをその要旨とする。

【0048】請求項4に記載の発明は、請求項1～3のいずれか1項に記載の半導体メモリにおいて、前記した浮遊ゲート電極から電荷を僅かずつ引き抜くときにメモリセルに流れるセル電流を検出する手段と、メモリセルに記憶されたデータを読み出す際にメモリセルに流れるセル電流を検出する手段とを共有化することをその要旨とする。

【0049】請求項5に記載の発明は、請求項1～4のいずれか1項に記載の半導体メモリにおいて、スプリットゲート型のメモリセルを用い、ソース領域およびドレイン領域の電圧は読み出し動作時と同じに設定し、制御ゲート電極の電圧のみを読み出し動作時よりも高く設定

することにより、浮遊ゲート電極から電荷を僅かずつ引き抜く動作と、メモリセルに流れるセル電流を検出する動作とを同時に行うことをその要旨とする。

【0050】請求項6に記載の発明は、請求項1～5のいずれか1項に記載の半導体メモリにおいて、浮遊ゲート電極の電圧を制御して、メモリセルに流れるセル電流が複数の設定値間のどの範囲内にあるかを検出し、その設定値の各範囲を複数の書き込み状態に対応させることにより、メモリセルに対して複数の書き込み状態を設定して多値のデータを記憶させることをその要旨とする。

【0051】請求項7に記載の発明は、請求項1～6のいずれか1項に記載の半導体メモリにおいて、前記メモリセルが複数個配列されて構成されたメモリセルアレイは仮想接地方式をとることをその要旨とする。

【0052】

【発明の実施の形態】

（第1実施形態）以下、本発明をスプリットゲート型メモリセルを用いるフラッシュEEPROMに具体化した第1実施形態を図面に従って説明する。尚、本実施形態において、図14～図18に示した従来の形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0053】図1に、本実施形態のスプリットゲート型メモリセル101を用いたフラッシュEEPROM1の全体構成を示す。本実施形態においては、1個のメモリセル101に4値（＝2ビット）のデータを記憶させることができる。

【0054】図1に示すフラッシュEEPROM1において、図15に示す従来のフラッシュEEPROM12と異なるのは以下の点である。

（1）入力バッファ129、センスアンプ130、出力バッファ131に代えて、リード・ライトアンプ部2が設けられている。リード・ライトアンプ部2は、データバスDBを介してカラムデコーダ124に接続されている。

【0055】（2）リード・ライトアンプ部2には、2つのデータパッド3a、3bが接続されている。フラッシュEEPROM1の外部から指定された2ビットのデータ（入力データ）における上位ビットはデータパッド3aに入力され、下位ビットはデータパッド3bに入力される。その2ビットの入力データは、リード・ライトアンプ部2からデータバスDBおよびカラムデコーダ124を介して、選択された1本のビット線BLa～BLzへ転送される。

【0056】任意の1個のメモリセル101から読み出された2ビットのデータ（リードデータ）は、ビット線BLa～BLzからカラムデコーダ124およびデータバスDBを介してリード・ライトアンプ部2へ転送される。リード・ライトアンプ部2は、後記するようにリードデータから2ビットの出力データを生成する。その2

10

20

30

40

50



ビットの出力データにおける上位ビットはデータパッド3aから出力され、下位ビットはデータパッド3bから出力される。

【0057】(3) カラムデコーダ124は、アドレスラッチ127でラッチされたカラムアドレスに対応した1本のビット線BLa~BLzを選択し、そのビット線BLa~BLzとデータバスDBとを接続する。

【0058】(4) リファレンス電圧生成部4は、リファレンスセル部6へ後記する定電圧(=Va, Vb, Vc, Va', Vb', Vc')を供給する。

(5) 共通ソース線SLは共通ソース線電圧生成部5に接続されている。共通ソース線電圧生成部5は、共通ソース線SLの電圧を図3に示す各動作モードに対応して制御すると共に、リファレンスセル部6へ定電圧(=3V)を供給する。

【0059】(6) ワード線電圧生成部7は、ロウデコーダ123を介して接続されたワード線WLa~WLzの電圧を図3に示す各動作モードに対応して制御すると共に、リファレンスセル部6へ2種類の定電圧(=4V, 10V)を供給する。

【0060】(7) リファレンスセル部6は、各リファレンスデータバスRDBa~RDBcを介してリファレンスセル電流センスアンプ8に接続されている。

(8) リファレンスセル電流センスアンプ8の出力は、リード・ライトアンプ部2へ送られる。

【0061】(9) 制御コア回路9は、上記した各回路(2~8, 123~127)の動作を制御する。図2に、フラッシュEEPROM1の要部構成を示す。

【0062】リファレンスセル部6は3つのリファレンスセルブロック6a~6cから構成されている。各リファレンスセルブロック6a~6cはそれぞれ、読み出し用リファレンスセル31、消去・読み出し用リファレンスセル32、リファレンスセクタ33から構成されている。

【0063】各リファレンスセル31, 32は、各メモリセル101と同一工程により同一寸法形状でメモリセルアレイ122の近傍に形成されている。各リファレンスセル31, 32のソース領域Sは、共通ソース線電圧生成部5に接続されて定電圧(=3V)が印加されている。各読み出し用リファレンスセル31の制御ゲート電極CGは、ワード線電圧生成部7に接続されて定電圧(=4V)が印加されている。各消去・読み出し用リファレンスセル32の制御ゲート電極CGは、ワード線電圧生成部7に接続されて定電圧(=10V)が印加されている。

【0064】各リファレンスセル31, 32の浮遊ゲート電極FGは、リファレンス電圧生成部4に接続されて各定電圧が印加されている。すなわち、リファレンスセルブロック6aにおいて、読み出し用リファレンスセル31の浮遊ゲート電極FGには電圧Va(=0.75

V)が印加され、消去・読み出し用リファレンスセル32の浮遊ゲート電極FGには電圧Va'(=0.6V)が印加されている。リファレンスセルブロック6bにおいて、読み出し用リファレンスセル31の浮遊ゲート電極FGには電圧Vb(=1.25V)が印加され、消去・読み出し用リファレンスセル32の浮遊ゲート電極FGには電圧Vb'(=1V)が印加されている。リファレンスセルブロック6cにおいて、読み出し用リファレンスセル31の浮遊ゲート電極FGには電圧Vc(=1.75V)が印加され、消去・読み出し用リファレンスセル32の浮遊ゲート電極FGには電圧Vc'(=1.5V)が印加されている。

【0065】尚、電圧Vb'は各電圧Va, Vbの中間値に設定され、電圧Vc'は各電圧Vb, Vcの中間値に設定されている。また、電圧Va'は、前記トランジスタ(メモリセル101において、浮遊ゲート電極FGとソース領域Sおよびドレイン領域Dとによって構成されるトランジスタ)の閾値電圧Vth(=0.5V)に僅かの電圧(=0.1V)分を加えた値に設定されている。

【0066】リファレンスセルブロック6aのリファレンスセクタ33は、読み出し動作時には読み出し用リファレンスセル31を選択し、消去・読み出し動作時には消去・読み出し用リファレンスセル32を選択し、その選択したリファレンスセル31, 32のドレイン領域DをリファレンスデータバスRDBaに接続する。リファレンスセルブロック6bのリファレンスセクタ33は、リファレンスセルブロック6aと同様に選択した各リファレンスセル31, 32のいずれか一方のドレイン領域DをリファレンスデータバスRDBbに接続する。リファレンスセルブロック6cのリファレンスセクタ33は、リファレンスセルブロック6aと同様に選択した各リファレンスセル31, 32のいずれか一方のドレイン領域DをリファレンスデータバスRDBcに接続する。

【0067】リファレンスセル電流センスアンプ8は3つのリファレンスセル電流センスアンプ8a~8cから構成されている。リファレンスセル電流センスアンプ8aは、読み出し動作および消去・読み出し動作において、リファレンスセルブロック6aに対し、図3に示すようにリファレンスデータバスRDBaを介して各リファレンスセル31, 32のドレイン領域Dの電圧を制御すると共に、リファレンスデータバスRDBaを介して転送されてきた各リファレンスセル31, 32のセル電流を電圧に変換して出力する。リファレンスセル電流センスアンプ8bは、リファレンスセルブロック6bに対して、リファレンスセル電流センスアンプ8aと同様の動作を行う。リファレンスセル電流センスアンプ8cは、リファレンスセルブロック6cに対して、リファレンスセル電流センスアンプ8aと同様の動作を行う。

【0068】各リファレンスセル電流センスアンプ8a～8cの出力電圧は、リード・ライトアンプ部2へ送られる。リード・ライトアンプ部2は、入力データラッチ回路21、書き込み電圧生成部22、メモリセル電流センスアンプ23、比較アンプ24a～24c、出力データデコード回路25、比較器26から構成されている。

【0069】入力データラッチ回路21は、各データバッド3a、3bから転送されてくる入力データをラッチする。書き込み電圧生成部22は、図5に示すように書き込み動作において、入力データラッチ回路21にラッチされた入力データに対応した書き込み電圧 $V_{pp}$ を生成し、その書き込み電圧 $V_{pp}$ をデータバスDBへ供給する。

【0070】メモリセル電流センスアンプ23は、読み出し動作および消去・読み出し動作において、図3に示すようにデータバスDBを介して選択されたメモリセル101のドレイン領域Dの電圧を制御すると共に、データバスDBを介して転送されてきたメモリセル101のセル電流を電圧に変換して出力する。

【0071】各比較アンプ24a～24cはそれぞれ、メモリセル電流センスアンプ23の出力電圧と各リファレンスセル電流センスアンプ8a～8cの出力電圧とを比較する。

【0072】出力データデコード回路25は、図7に示すように各比較アンプ24a～24cの比較結果に基づいて出力データを生成し、その出力データを各データバッド3a、3bへ転送する。

【0073】比較器26は、入力データラッチ回路21にラッチされた入力データと、出力データデコード回路25の生成した出力データとを比較し、その比較結果に基づいて消去・読み出し動作停止信号SSを生成する。

【0074】次に、フラッシュEEPROM1の各動作モード（消去動作、読み出し動作、書き込み動作、消去・読み出し動作）について、図3～図9を参照して説明する。尚、いずれの動作モードにおいても、基板102の電圧はグラウンドレベルに保持される。

【0075】(a) 消去動作

ロウデコード123によってワード線WLmが選択され、そのワード線WLmに接続された全てのメモリセル101に記憶されたデータが消去される場合について説明する。

【0076】全てのビット線BLa～BLzの電圧は0Vにクランプされる。そのため、全てのメモリセル101のドレイン領域Dの電圧は0Vにクランプされる。ワード線WLmの電圧は15Vにされ、それ以外のワード線（非選択のワード線）WLa～WLl、WLn～WLzの電圧は0Vにクランプされる。そのため、ワード線WLmに接続された各メモリセル101の制御ゲート電極CGの電圧は15Vにされ、非選択のワード線WLa～WLl、WLn～WLzに接続された各メモリセル1

01の制御ゲート電極CGの電圧は0Vにクランプされる。

【0077】共通ソース線SLの電圧は0Vにクランプされる。そのため、全てのメモリセル101のソース領域Sの電圧は0Vにクランプされる。その結果、本実施形態のフラッシュEEPROM1においても、従来のフラッシュEEPROM121の消去動作と同様の作用により、選択されたワード線WLmに接続されている全てのメモリセル101に記憶されたデータの消去が行われる。

【0078】(b) 読み出し動作

ロウデコード123によってワード線WLmが選択され、カラムデコード124によってビット線BLmが選択され、そのワード線WLmとビット線BLmとの交点に接続されたメモリセル101が選択され、そのメモリセル101からデータが読み出される場合について説明する。

【0079】ワード線WLmの電圧は4Vにされ、それ以外のワード線（非選択のワード線）WLa～WLl、WLn～WLzの電圧は0Vにクランプされる。そのため、ワード線WLmに接続された各メモリセル101の制御ゲート電極CGの電圧は4Vにされ、非選択のワード線WLa～WLl、WLn～WLzに接続された各メモリセル101の制御ゲート電極CGの電圧は0Vにクランプされる。

【0080】ビット線BLmの電圧は0Vにされ、それ以外のビット線（非選択のビット線）BLa～BLl、BLn～BLzの電圧は3Vにされる。そのため、ビット線BLmに接続された各メモリセル101のドレイン領域Dの電圧は0Vにクランプされ、非選択のビット線BLa～BLl、BLn～BLzに接続された各メモリセル101のドレイン領域Dの電圧は3Vにされる。

【0081】共通ソース線SLの電圧は3Vにクランプされる。そのため、全てのメモリセル101のソース領域Sの電圧は3Vにされる。このように、本実施形態のフラッシュEEPROM1では、選択されたメモリセル101のソース領域Sとドレイン領域Dの電圧条件が、従来のフラッシュEEPROM121のそれと逆になっている。しかし、従来の技術で説明したように、読み出し動作時のセル電流 $I_{cell}$ は浮遊ゲート電極FGの電圧（浮遊ゲート電圧） $V_{fg}$ によって規定される。そのため、メモリセル101において、ソース領域Sおよびドレイン領域Dに印加する電圧を反転させても、読み出し動作は可能である。

【0082】従って、フラッシュEEPROM1においても、フラッシュEEPROM121の読み出し動作と同様の作用により、選択されたメモリセル101には浮遊ゲート電圧 $V_{fg}$ に対応したセル電流 $I_{cell}$ が流れる。

【0083】図4に、読み出し動作におけるメモリセル

101の浮遊ゲート電圧 $V_{fg}$ とセル電流 $I_{cell}$ との特性を示す。前記したように、各リファレンスセルブロック6a~6cの読み出し用リファレンスセル31の浮遊ゲート電極FGには、リファレンス電圧生成部4から各電圧 $V_a$ 、 $V_b$ 、 $V_c$ が印加されている。また、各読み出し用リファレンスセル31のソース領域Sには、共通ソース線電圧生成部5から定電圧( $=3V$ )が印加されている。また、各読み出し用リファレンスセル31のドレイン領域Dの電圧は、各リファレンスセル電流センスアンプ8a~8cによって0Vにクランプされている。そして、各読み出し用リファレンスセル31の制御ゲート電極CGには、ワード線電圧生成部7から定電圧( $=4V$ )が印加されている。つまり、各読み出し用リファレンスセル31の制御ゲート電極CGおよび各領域S、Dの電圧は、選択されたメモリセル101のそれと同じになっている。そのため、選択されたメモリセル101と同様の作用により、各読み出し用リファレンスセル31には、それぞれの浮遊ゲート電極FGに印加された電圧(浮遊ゲート電圧 $V_{fg}$ )に対応したセル電流 $I_{cell}$ が流れる。

【0084】従って、リファレンスセルブロック6aの読み出し用リファレンスセル31には、電圧 $V_a$ を浮遊ゲート電圧 $V_{fg}$ とするセル電流 $I_{cell}$ ( $=20\mu A$ )が流れる。また、リファレンスセルブロック6bの読み出し用リファレンスセル31には、電圧 $V_b$ を浮遊ゲート電圧 $V_{fg}$ とするセル電流 $I_{cell}$ ( $=50\mu A$ )が流れる。また、リファレンスセルブロック6cの読み出し用リファレンスセル31には、電圧 $V_c$ を浮遊ゲート電圧 $V_{fg}$ とするセル電流 $I_{cell}$ ( $=80\mu A$ )が流れる。

【0085】前記したように、各リファレンスセル電流センスアンプ8a~8cはそれぞれ、各リファレンスセルブロック6a~6cの読み出し用リファレンスセル31のセル電流 $I_{cell}$ を電圧に変換する。また、メモリセル電流センスアンプ23は、選択されたメモリセル101のセル電流 $I_{cell}$ を電圧に変換する。各比較アンプ24a~24cはそれぞれ、メモリセル電流センスアンプ23の出力電圧と各リファレンスセル電流センスアンプ8a~8cの出力電圧とを比較する。

【0086】従って、各比較アンプ24a~24cの比較結果はそれぞれ、選択されたメモリセル101のセル電流 $I_{cell}$ と各リファレンスセルブロック6a~6cの読み出し用リファレンスセル31のセル電流 $I_{cell}$ とを比較した結果になる。ここで、選択されたメモリセル101のセル電流 $I_{cell}$ の方が読み出し用リファレンスセル31のセル電流 $I_{cell}$ よりも大きい場合には各比較アンプ24a~24cの比較結果が「1」、小さい場合には各比較アンプ24a~24cの比較結果が「0」になるとする。

【0087】出力データデコード回路25は、各比較ア

ンプ24a~24cの比較結果に基づいて、図7に示すような論理をとることで、2ビットの出力データを生成する。

【0088】このようにすれば、各電圧 $V_a$ 、 $V_b$ 、 $V_c$ をメモリセル101の閾値電圧として、その各閾値電圧によって区分されるどの範囲内にメモリセル101の浮遊ゲート電圧 $V_{fg}$ があるのかを判定することが可能になり、1個のメモリセル101に記憶された2ビットのデータを読み出すことができる。

10 【0089】この読み出し動作は、消去動作と異なり、選択されたメモリセル101毎に行うことができる。

(c) 書き込み動作

ロウデコード123によってワード線 $W_{Lm}$ が選択され、カラムデコード124によってビット線 $B_{Lm}$ が選択され、そのワード線 $W_{Lm}$ とビット線 $B_{Lm}$ との交点に接続されたメモリセル101が選択され、そのメモリセル101にデータを書き込む場合について説明する。

【0090】ワード線 $W_{Lm}$ の電圧は1Vにされ、それ以外のワード線(非選択のワード線) $W_{La} \sim W_{Ll}$ 、 $W_{Ln} \sim W_{Lz}$ の電圧は0Vにクランプされる。そのため、ワード線 $W_{Lm}$ に接続された各メモリセル101の制御ゲート電極CGの電圧は1Vにされ、非選択のワード線 $W_{La} \sim W_{Ll}$ 、 $W_{Ln} \sim W_{Lz}$ に接続された各メモリセル101の制御ゲート電極CGの電圧は0Vにクランプされる。

【0091】共通ソース線SLの電圧は0Vにクランプされる。そのため、全てのメモリセル101のソース領域Sの電圧は0Vにクランプされる。図5に示すように、ビット線 $B_{Lm}$ には入力データに対応した書き込み電圧 $V_{pp}$ が印加される。また、それ以外のビット線(非選択のビット線) $B_{La} \sim B_{Ll}$ 、 $B_{Ln} \sim B_{Lz}$ の電圧は0Vにクランプされる。そのため、ビット線 $B_{Lm}$ に接続された各メモリセル101のドレイン領域Dの電圧は書き込み電圧 $V_{pp}$ にされ、非選択のビット線 $B_{La} \sim B_{Ll}$ 、 $B_{Ln} \sim B_{Lz}$ に接続された各メモリセル101のドレイン領域Dの電圧は0Vにクランプされる。

【0092】選択されたメモリセル101では、ソース領域S中の電子が反転状態のチャネル領域CH中へ移動する。一方、ドレイン領域Dの電圧は書き込み電圧 $V_{pp}$ である。そのため、書き込み電圧 $V_{pp}$ が7.5V以上であれば、ドレイン領域Dと浮遊ゲート電極FGとの間の静電容量を介したカップリングにより、浮遊ゲート電極FGの電圧が持ち上げられて書き込み電圧 $V_{pp}$ に近くなる。その結果、制御ゲート電極CGと浮遊ゲート電極FGの間には高電界が生じる。従って、チャネル領域CH中の電子は加速されてホットエレクトロンとなり、浮遊ゲート電極FGへ注入される。

【0093】ところで、従来の技術で説明したように、書き込み動作において、浮遊ゲート電極FGに蓄積され

る電荷量は、書き込み動作の動作時間を調整することによって制御することができる。しかし、浮遊ゲート電極FGに蓄積される電荷量は、ドレイン領域Dに印可する書き込み電圧 $V_{pp}$ を調整することによって制御することもできる。

【0094】図6に、書き込み動作の動作時間を一定にした場合における、書き込み電圧 $V_{pp}$ と読み出し動作時のセル電流 $I_{cell}$ との特性を示す。書き込み電圧 $V_{pp}$ が6.7~9Vの領域においては、書き込み電圧 $V_{pp}$ によってセル電流 $I_{cell}$ を一義的に決めることができる。但し、各メモリセル101間の製造プロセスによる構造のパラツキや、メモリセルアレイ122内における各メモリセル101の物理的位置による寄生容量および配線抵抗の相違があるため、書き込み電圧 $V_{pp}$ を制御するだけではセル電流 $I_{cell}$ を精密に制御するのが難しい。

【0095】図4に示すように、浮遊ゲート電圧 $V_{fg}$ は、前記した読み出し動作における各閾値電圧(=  $V_a$ ,  $V_b$ ,  $V_c$ )の中間値(=  $V_a'$ ,  $V_b'$ ,  $V_c'$ )に制御するのが理想的である。そこで、本実施形態の書き込み動作においては、図5に示すように、浮遊ゲート電圧 $V_{fg}$ を各中間値(=  $V_a'$ ,  $V_b'$ ,  $V_c'$ )よりも僅かの電圧 $\Delta$ (=0.3V)分だけ低い電圧に制御することにより、大まかな書き込みを行う。そして、後記する消去・読み出し動作において、浮遊ゲート電圧 $V_{fg}$ を精密に各電圧 $V_a'$ ,  $V_b'$ ,  $V_c'$ に制御することにより、結果として正確な書き込みを実現する。

【0096】そこで、まず、図4に基づいて、浮遊ゲート電圧 $V_{fg}$ の各中間値(=  $V_a'$ ,  $V_b'$ ,  $V_c'$ )から電圧 $\Delta$ (=0.3V)分だけを差し引いた各電圧に対応する各セル電流 $I_{cell}$ を求める。次に、図6に基づいて、求めた各セル電流 $I_{cell}$ に対応する各書き込み電圧 $V_{pp}$ を設定する。

【0097】例えば、図4に基づいて、浮遊ゲート電圧 $V_{fg}$ の中間値 $V_b'$ (=1V)から電圧 $\Delta$ (=0.3V)分だけを差し引いた電圧(=0.7V)に対応するセル電流 $I_{cell}$ (=約25 $\mu$ A)を求める。次に、図6に基づいて、求めたセル電流 $I_{cell}$ (=約25 $\mu$ A)に対応する書き込み電圧 $V_{pp}$ (=8.1V)を設定する。同様に、図4から浮遊ゲート電圧 $V_{fg}$ の中間値 $V_c'$ (=1.5V)から電圧 $\Delta$ (=0.3V)分だけを差し引いた電圧(=1.2V)に対応するセル電流 $I_{cell}$ (=約55 $\mu$ A)を求め、図6からセル電流 $I_{cell}$ (=約55 $\mu$ A)に対応する書き込み電圧 $V_{pp}$ (=7.3V)を設定する。同様に、図4から浮遊ゲート電圧 $V_{fg}$ の中間値 $V_a'$ (=0.6V)から電圧 $\Delta$ (=0.3V)分だけを差し引いた電圧(=0.3V)に対応するセル電流 $I_{cell}$ (=0 $\mu$ A)を求め、図6からセル電流 $I_{cell}$ (=0A)に対応する書き込み電圧 $V_{pp}$

(=9.5V)を設定する。

【0098】このように、書き込み電圧 $V_{pp}$ を調整して一定時間だけ書き込み動作を行うことにより、浮遊ゲート電極FGに蓄積される電荷量を制御する。その結果、各電圧 $V_a$ ,  $V_b$ ,  $V_c$ をメモリセル101の閾値電圧として、1個のメモリセル101に2ビットのデータを記憶させることができる。この書き込み動作は、消去動作と異なり、選択されたメモリセル101毎に行うことができる。

#### 10 【0099】(c) 消去・読み出し動作

前記したように、消去・読み出し動作は書き込み動作に引き続いて行われ、書き込み動作において選択されたメモリセル101に対して行われる。そこで、ワード線 $W_{Lm}$ とビット線 $B_{Lm}$ との交点に接続されたメモリセル101が選択され、そのメモリセル101に対して消去・読み出し動作を行う場合について説明する。

【0100】ワード線 $W_{Lm}$ の電圧は10Vにされ、それ以外のワード線(非選択のワード線) $W_{La} \sim W_{Ll}$ ,  $W_{Ln} \sim W_{Lz}$ の電圧は0Vにクランプされる。そのため、ワード線 $W_{Lm}$ に接続された各メモリセル101の制御ゲート電極CGの電圧は10Vにされ、非選択のワード線 $W_{La} \sim W_{Ll}$ ,  $W_{Ln} \sim W_{Lz}$ に接続された各メモリセル101の制御ゲート電極CGの電圧は0Vにクランプされる。

【0101】ビット線 $B_{Lm}$ の電圧は0Vにされ、それ以外のビット線(非選択のビット線) $B_{La} \sim B_{Ll}$ ,  $B_{Ln} \sim B_{Lz}$ の電圧は3Vにされる。そのため、ビット線 $B_{Lm}$ に接続された各メモリセル101のドレイン領域Dの電圧は0Vにクランプされ、非選択のビット線 $B_{La} \sim B_{Ll}$ ,  $B_{Ln} \sim B_{Lz}$ に接続された各メモリセル101のドレイン領域Dの電圧は3Vにされる。

【0102】共通ソース線SLの電圧は3Vにクランプされる。そのため、全てのメモリセル101のソース領域Sの電圧は3Vにされる。図8に、メモリセル101に記憶されたデータの消去に要する時間とワード線 $W_{La} \sim W_{Lz}$ の電圧(ワード線電圧) $V_{WL}$ との特性を示す。

【0103】ワード線電圧 $V_{WL}$ が10V( $1/V_{WL}=0.1$ )のとき、メモリセル101に記憶されたデータの消去に要する時間は数百 $\mu$ secである。従って、選択されたメモリセル101に対しては比較的弱い消去動作が行われる。

【0104】一方、選択されたメモリセル101以外の各メモリセル101においては、ドレイン領域Dの電圧が3Vであるため、ドレイン領域Dと浮遊ゲート電極FGとの間の静電容量を介したカップリングにより、浮遊ゲート電極FGの電圧が持ち上げられて3Vに近くなる。

【0105】そのため、ワード線 $W_{Lm}$ と非選択のビット線 $B_{La} \sim B_{Ll}$ ,  $B_{Ln} \sim B_{Lz}$ との交点に接続さ

れた各メモリセル101において、制御ゲート電極CGの電圧は10V、浮遊ゲート電極FGの電圧は3Vとなり、各電極CG、FG間の電圧差は7Vになることから、実質的なワード線電圧VWLは7Vになる。図8に示すように、ワード線電圧VWLが7V ( $1/VWL \approx 0.14$ ) のとき、メモリセル101に記憶されたデータの消去に要する時間は数十年となる。

【0106】また、非選択のワード線WL<sub>a</sub>~WL<sub>l</sub>、WL<sub>n</sub>~WL<sub>z</sub>に接続された各メモリセル101において、制御ゲート電極CGの電圧は0V、浮遊ゲート電極FGの電圧は3Vとなり、各電極CG、FG間の電圧差は3Vになることから、ワード線電圧VWLは0Vになる。そのため、メモリセル101に記憶されたデータの消去は行われない。

【0107】従って、消去・読み出し動作においては、選択されたメモリセル101に対してのみ弱い消去動作が行われ、それ以外の非選択の各メモリセル101に対しては実質的に消去動作は行われないといえる。

【0108】このとき、非選択のビット線BL<sub>a</sub>~BL<sub>l</sub>、BL<sub>n</sub>~BL<sub>z</sub>に接続された各メモリセル101において、ソース領域Sおよびドレイン領域Dの電圧は共に3Vであるため、セル電流I<sub>cell</sub>は流れない。

【0109】一方、選択されたメモリセル101においては、浮遊ゲート電圧V<sub>f g</sub>に対応したセル電流I<sub>cell</sub>が流れる。前記したように、各リファレンスセルブロック6a~6cの消去・読み出し用リファレンスセル32の浮遊ゲート電極FGには、リファレンス電圧生成部4から各電圧V<sub>a'</sub>、V<sub>b'</sub>、V<sub>c'</sub>が印加されている。また、各消去・読み出し用リファレンスセル32のソース領域Sには、共通ソース線電圧生成部5から定電圧(=3V)が印加されている。また、各消去・読み出し用リファレンスセル32のドレイン領域Dの電圧は、各リファレンスセル電流センスアンプ8a~8cによって0Vにクランプされている。そして、各消去・読み出し用リファレンスセル32の制御ゲート電極CGには、ワード線電圧生成部7から定電圧(=10V)が印加されている。

【0110】つまり、各消去・読み出し用リファレンスセル32の制御ゲート電極CGおよび各領域S、Dの電圧は、選択されたメモリセル101のそれと同じになっている。そのため、選択されたメモリセル101と同様の作用により、各消去・読み出し用リファレンスセル32には、それぞれの浮遊ゲート電極FGに印加された電圧(浮遊ゲート電圧V<sub>f g</sub>)に対応したセル電流I<sub>cell</sub>が流れる。

【0111】従って、リファレンスセルブロック6aの消去・読み出し用リファレンスセル32には、電圧V<sub>a'</sub>を浮遊ゲート電圧V<sub>f g</sub>とするセル電流I<sub>cell</sub>(=5μA)が流れる。また、リファレンスセルブロック6bの消去・読み出し用リファレンスセル32には、電圧

V<sub>b'</sub>を浮遊ゲート電圧V<sub>f g</sub>とするセル電流I<sub>cell</sub>(=35μA)が流れる。また、リファレンスセルブロック6cの消去・読み出し用リファレンスセル32には、電圧V<sub>c'</sub>を浮遊ゲート電圧V<sub>f g</sub>とするセル電流I<sub>cell</sub>(=65μA)が流れる。

【0112】各リファレンスセル電流センスアンプ8a~8c、各比較アンプ24a~24c、出力データデコード回路25は、前記した読み出し動作と同様の動作を行い、出力データデコード回路25は2ビットの出力データを生成する。

【0113】比較器26は、入力データラッチ回路21にラッチされた2ビットの入力データと、出力データデコード回路25の生成した2ビットの出力データとを比較し、その比較結果に基づいて消去・読み出し動作停止信号SSを生成する。すなわち、出力データの方が入力データよりも大きくなった時点で、消去・読み出し動作停止信号SSは活性化される。

【0114】制御コア回路9は、活性化された消去・読み出し動作停止信号SSに従って消去・読み出し動作を停止する。つまり、消去・読み出し動作において、出力データの方が入力データよりも大きくなった時点で、その消去・読み出し動作は停止される。

【0115】その結果、浮遊ゲート電圧V<sub>f g</sub>は各電圧V<sub>a'</sub>、V<sub>b'</sub>、V<sub>c'</sub>のいずれか一つの電圧に精密に制御され、正確な書き込みが行われる。ところで、上記した読み出し動作および消去・読み出し動作における各部の電圧条件(読み出しバイアス条件)においては、ソース領域Sの電圧の方がドレイン領域Dの電圧よりも高くなる。しかし、本実施形態では、消去動作および書き込み動作の説明の便宜上、ソース領域Sおよびドレイン領域Dの呼称については、読み出し動作および消去・読み出し動作においても消去動作および書き込み動作におけるそれと同じにしてある。また、共通ソース線SLの呼称についても、消去動作および書き込み動作を基本に決定してある。

【0116】以上詳述したように、本実施形態によれば、以下の作用および効果を得ることができる。

〔1〕書き込み動作においては、図5に示すように、浮遊ゲート電圧V<sub>f g</sub>を各電圧V<sub>a'</sub>、V<sub>b'</sub>、V<sub>c'</sub>よりも僅かの電圧Δ(=0.3V)分だけ低い電圧に制御することにより、選択されたメモリセル101に対して大まかな書き込みを行う。

【0117】〔2〕書き込み動作に引き続き、同じメモリセル101に対して消去・読み出し動作を行う。消去・読み出し動作において、選択されたメモリセル101に対して弱い消去動作を行うのと同時に、そのメモリセル101の読み出し動作時のセル電流I<sub>cell</sub>を検出することによって消去動作の進み具合を判定し、セル電流I<sub>cell</sub>が所望の値になった時点で消去動作を終了させる。これにより、浮遊ゲート電圧V<sub>f g</sub>を精密に各電圧V

$a'$ ,  $Vb'$ ,  $Vc'$  に制御することが可能になり、結果として正確な書き込みを実現することができる。

【0118】〔3〕上記〔1〕〔2〕により、ペリファイ書き込み方式を用いることなく正確な書き込みを実現することが可能になるため、前記したペリファイ書き込み方式の各問題点を全て回避することができる。すなわち、メモリセル101の浮遊ゲート電圧 $V_{fg}$ を精密に制御しつつ、高速な書き込みを行うことができる。また、制御コア回路9にかかる負担が小さくなるため、制御コア回路9の回路構成を簡単にすることができる。

【0119】〔4〕図9に、浮遊ゲート電圧 $V_{fg}$ とセル電流 $I_{cell}$ およびワード線電圧 $V_{WL}$ との特性を示す。本実施形態において多値データの記憶に利用しているのは、浮遊ゲート電圧 $V_{fg}$ が1.75V以下の領域である。この領域においては、制御ゲート電極CG直下のチャネル領域CHが定抵抗として機能するため、浮遊ゲート電圧 $V_{fg}$ とセル電流 $I_{cell}$ の特性はワード線電圧 $V_{WL}$ にほとんど依存しない。

【0120】そのため、読み出し動作におけるメモリセル101のセル電流 $I_{cell}$ と、消去・読み出し動作におけるそれとはほとんど同じになる。従って、読み出し動作と消去・読み出し動作とで、同じメモリセル電流センスアンプ23を用いることができる。

【0121】また、読み出し動作における読み出し用リファレンスセル31のセル電流 $I_{cell}$ と、消去・読み出し動作におけるそれとはほとんど同じになる。従って、読み出し動作と消去・読み出し動作とで、同じリファレンスセル電流センスアンプ8a~8cを用いることができる。

【0122】つまり、読み出し動作と消去・読み出し動作とで、読み出しに用いる回路を共有化することができる。従って、消去・読み出し動作を行うことで、フラッシュEEPROM1の回路構成が複雑になることはない。

【0123】〔5〕読み出し動作と消去・読み出し動作とで異なるのは、図3に示すように、選択されたワード線 $WL_m$ のワード線電圧 $V_{WL}$ だけである。そのため、読み出し動作の出力データと消去・読み出し動作の出力データとの間に、ワード線電圧 $V_{WL}$ の差に起因する誤差以外が生じる恐れはない。上記〔4〕により、浮遊ゲート電圧 $V_{fg}$ とセル電流 $I_{cell}$ の特性はワード線電圧 $V_{WL}$ にほとんど依存しないため、ワード線電圧 $V_{WL}$ の差に起因する出力出力データの誤差はほとんどない。従って、読み出し動作の出力データと消去・読み出し動作の出力データとの間には、ほとんど誤差がない。そのため、消去・読み出し動作を行うことにより、正確な書き込みが阻害される恐れはない。

【0124】（第2実施形態）以下、本発明をスプリットゲート型メモリセルを用いるフラッシュEEPROMに具体化した第2実施形態を図面に従って説明する。

尚、本実施形態において、図1~図9に示した第1実施形態と同じ構成部材については符号を等しくしてその詳細な説明を省略する。

【0125】本実施形態は、第1実施形態をUSP5544103 (G11C 16/04) に開示された仮想接地方式のメモリセルアレイに適用したものである。図10に、本実施形態のスプリットゲート型メモリセル51を用いたフラッシュEEPROM52の全体構成を示す。本実施形態においては、1個のメモリセル51に4値(=2ビット)のデータを記憶させることができる。

【0126】図10に示すフラッシュEEPROM52において、図1に示す第1実施形態のフラッシュEEPROM1と異なるのは以下の点である。

(1) メモリセルアレイ122がメモリセルアレイ53に置き換えられている。

【0127】メモリセルアレイ53は、複数のメモリセル51がマトリックス状に配置されて構成されている。行(ロウ)方向に配列された各メモリセル51の制御ゲート電極CGにより、共通のワード線 $WL_a \sim WL_z$ が形成されている。列(カラム)方向に配列された各メモリセル51のソース・ドレイン領域SDにより、共通のビット線 $BL_a \sim BL_z$ が形成されている。

【0128】(2) 共通ソース線電圧生成部5が省かれている。図11に、メモリセルアレイ53の一部断面図を示す。メモリセル51は、ソース・ドレイン領域SD、浮遊ゲート電極FG、制御ゲート電極CG、チャネル領域CH、選択ゲート105から構成されている。

【0129】P型単結晶シリコン基板102上にN型のソース・ドレイン領域SDが形成されている。各ソース・ドレイン領域SD間に挟まれたチャネル領域CH上に、シリコン酸化膜103を介して浮遊ゲート電極FGが形成されている。浮遊ゲート電極FG上にシリコン酸化膜104を介して制御ゲート電極CGが形成されている。制御ゲート電極CGの一部は、シリコン酸化膜103を介してチャネル領域CH上に配置され、選択ゲート105を構成している。

【0130】メモリセルアレイ53は、基板102上に形成された複数のメモリセル51によって構成されている。行方向に配列された各メモリセル51の制御ゲート電極CGは共通になっており、その制御ゲート電極CGによって各ワード線 $WL_a \sim WL_z$ が形成されている。

【0131】図12に、フラッシュEEPROM52の要部構成を示す。フラッシュEEPROM52において、図2に示す第1実施形態のフラッシュEEPROM1と異なるのは、各リファレンスセル31、32のソース領域Sが接地されている点だけである。

【0132】次に、フラッシュEEPROM52の各動作モード(消去動作、読み出し動作、書き込み動作、消去・読み出し動作)について、図13、図4~図9を参照して説明する。尚、いずれの動作モードにおいても、

基板102の電圧はグランドレベルに保持される。

【0133】また、各メモリセル51毎の消去動作、読み出し動作、書き込み動作の具体的な作用については、従来の形態のメモリセル101のソース領域Sおよびドレイン領域Dがソース・ドレイン領域SDと呼ばれる点以外は全く同じである。

【0134】(a) 消去動作、(c) 書き込み動作、  
(d) 消去・読み出し動作

各動作共それぞれ第1実施形態と同じである。

(b) 読み出し動作

ロウデコーダ123によってワード線WLmが選択され、カラムデコーダ124によってビット線BLmが選択され、そのワード線WLmとビット線BLmとの交点に接続されたメモリセル51aが選択され、そのメモリセル51aからデータが読み出される場合について説明する。

【0135】フラッシュEEPROM52においても、フラッシュEEPROM1の読み出し動作と同様の作用により、選択されたメモリセル51aには浮遊ゲート電圧Vfgに対応したセル電流Icellが流れるため、1個のメモリセル51aに記憶された2ビットのデータを読み出すことができる。

【0136】ここで、メモリセル51aとワード線WLmと各ビット線BL1との交点に接続されたメモリセル51b以外の各メモリセル51については、各ソース・ドレイン領域SDが共に3Vにされるため、セル電流Icellは流れない。

【0137】また、各メモリセル51a、51bについては、カラムデコーダ124を介してビット線BLmが0Vにバイアスされるため、浮遊ゲート電圧Vfgに対応したセル電流Icellが流れる。しかし、ビット線BL1はデータバスDBに接続されず、ビット線BLmがデータバスDBに接続されるため、メモリセル51bからデータが読み出されることはない。また、1個のメモリセル51に流れるセル電流Icellによる消費電流の増加は僅かなものであり、フラッシュEEPROM52全体からみれば無視できる。

【0138】以上詳述したように、本実施形態においても、第1実施形態と同様の作用および効果を得ることができる。尚、上記各実施形態は以下のように変更してもよく、その場合でも同様の作用および効果を得ることができる。

【0139】(1) 複数のメモリセル101、51に対して同時に各動作(読み出し動作、書き込み動作、消去・読み出し動作)を行う。例えば、ワード線WLmと各ビット線BLm~BLpとの交点に接続に接続された4つのメモリセル101、51を選択し、その各メモリセル101、51に対して各動作(読み出し動作、書き込み動作、消去・読み出し動作)を行う。この場合には、リード・ライトアンプ部2、データパッド3a、3b、

データバスDBを4組設ける必要がある。このようにすれば、4つのメモリセル101、51に対してそれぞれ2ビットずつ合計8ビットのデータを同時に読み出した後書き込んだりすることが可能になる。

【0140】尚、複数のメモリセル101、51に対して同時に各動作を行う場合は、消去・読み出し動作の終了したメモリセル101、51の接続されているビット線BLa~BLzの電圧を、消去・読み出し動作停止信号SSに従い、非選択のビット線BLa~BLzと同様に3Vにする。

【0141】(2) ビット線BLa~BLzに高電圧を印加して、最大限に書き込み動作を行った状態を"消去"、消去・読み出し動作を"書き込み"と定義すれば、より回路構成・動作を簡略化することができる。また、この場合には、"消去"動作を選択されたメモリセル101、51毎に行うことができる。

【0142】(3) 多値記憶動作を行わず、1つのメモリセル101、51に1ビットのデータを記憶させる場合に適用する。

(4) スプリットゲート型のフラッシュEEPROMではなく、スタックゲート形のフラッシュEEPROMに適用する。

【0143】(5) フラッシュEEPROMではなく、FRAM、EPROM、EEPROMなどの不揮発性半導体メモリや、DRAM、SRAMなどの半導体メモリに適用する。

【0144】

【発明の効果】本発明によれば、メモリセルの書き込み状態を正確に制御しつつ高速な書き込みを行うことが可能で、且つ、簡単な回路構成の半導体メモリを提供することができる。

【図面の簡単な説明】

【図1】第1実施形態のブロック回路図。

【図2】第1実施形態の要部回路図。

【図3】第1実施形態の説明図。

【図4】第1および第2実施形態の特性図。

【図5】第1および第2実施形態の説明図。

【図6】第1および第2実施形態の特性図。

【図7】第1および第2実施形態の説明図。

【図8】第1および第2実施形態の特性図。

【図9】第1および第2実施形態の特性図。

【図10】第2実施形態のブロック回路図。

【図11】第2実施形態のメモリセルアレイの断面図。

【図12】第2実施形態の要部回路図。

【図13】第2実施形態の説明図。

【図14】第1実施形態および従来の形態のメモリセルの断面図。

【図15】従来の形態のブロック回路図。

【図16】従来の形態の説明図。

【図17】従来の形態の説明図。

【図18】従来の形態の特性図。

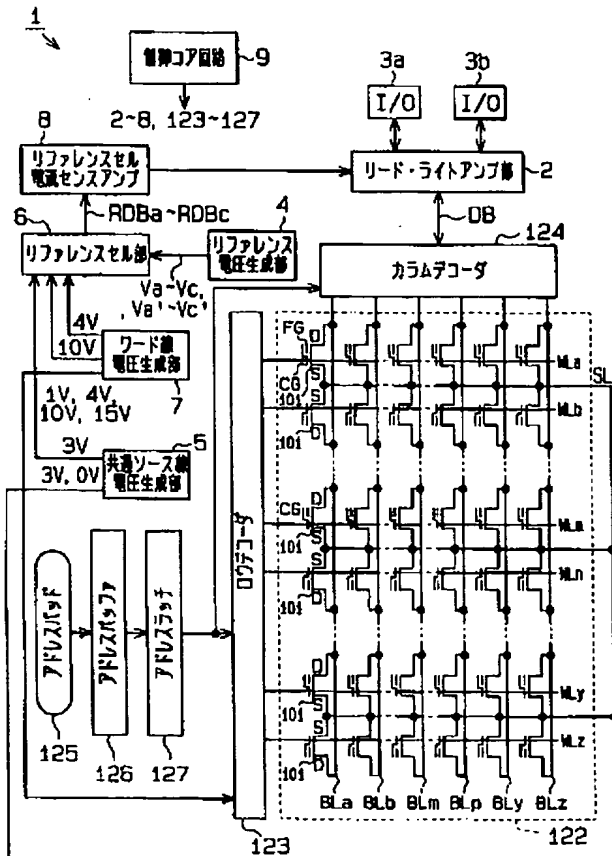
【符号の説明】

S…ソース領域

D…ドレイン領域

CG…制御ゲート電極

【図1】



【図3】

動作モード	書き込み	消去	読み出し	消去・読み出し
ワード線WL <sub>m</sub> (制御ゲート電極CG)	1V	15V	4V	10V
ビット線BL <sub>m</sub> (ドレイン領域)	V <sub>pp</sub> (9.5V, 8.1V, 7.3V, 0V)	0V	0V	0V
共通ソース線SL (ソース領域S)	0V	0V	3V	3V
基板102	0V	0V	0V	0V

FG…浮遊ゲート電極

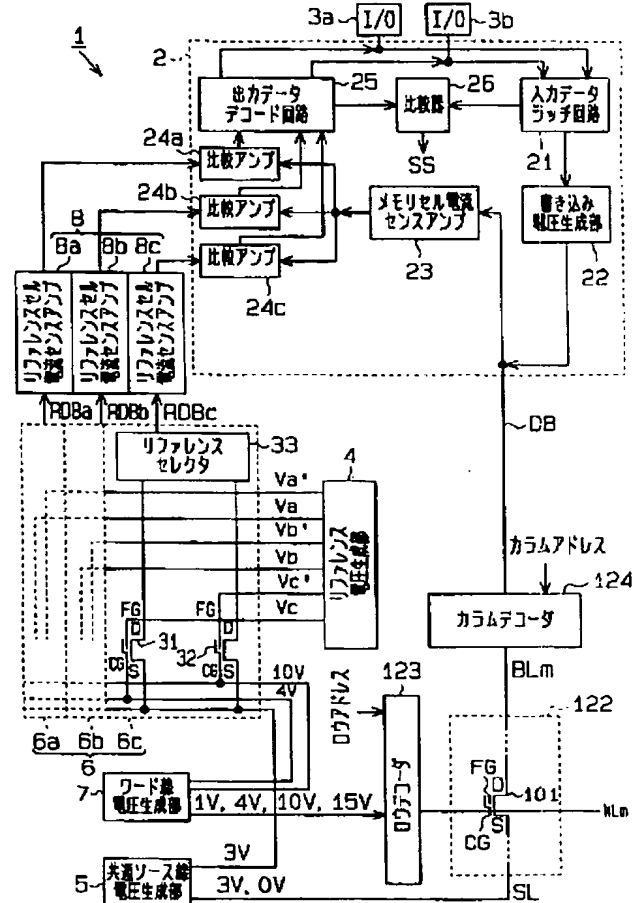
SD…ソース・ドレイン領域

2…リード・ライトアンプ部

9…制御コア回路

101, 51…メモリセル

【図2】



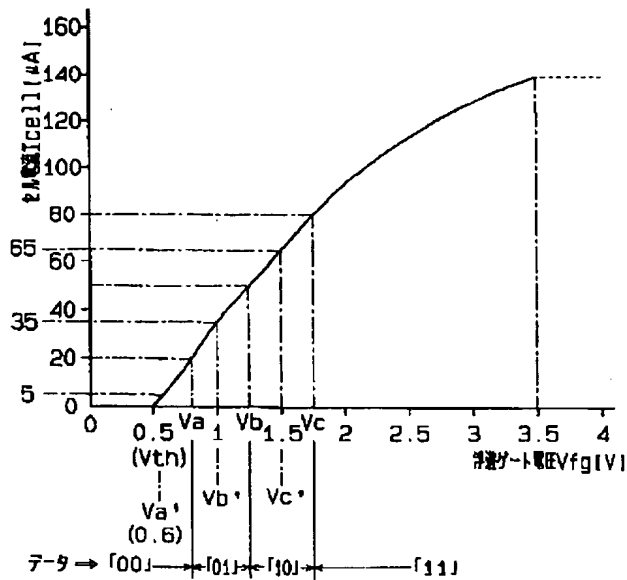
【図5】

入力データ		読み出し動作時の 浮遊ゲート電圧Vfg		書き込み電圧 Vpp
データバッド 3aの入力	データバッド 3bの入力	読み出し動作時の セル電圧Vcell		
0	0	Va' = 0.5V Va' - Δ = 0.3V	0 μA	9.5V
0	1	Vb' = 1V Vb' - Δ = 0.7V	25 μA	8.1V
1	0	Vc' = 1.5V Vc' - Δ = 1.2V	55 μA	7.3V
1	1	消去状態	消去状態	0V

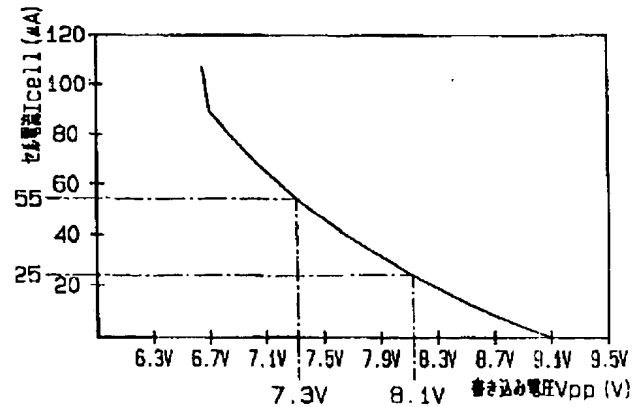
Δ = 0.3V



【図4】



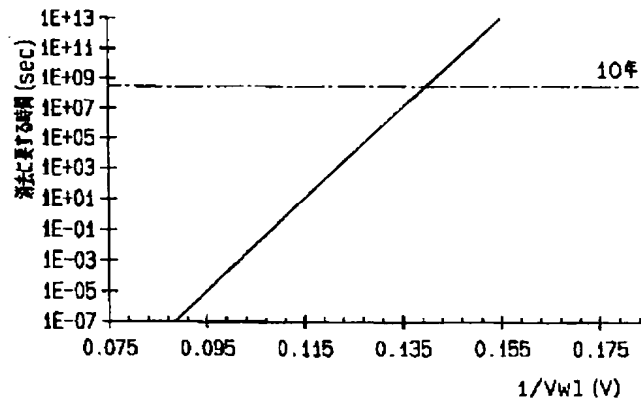
【図6】



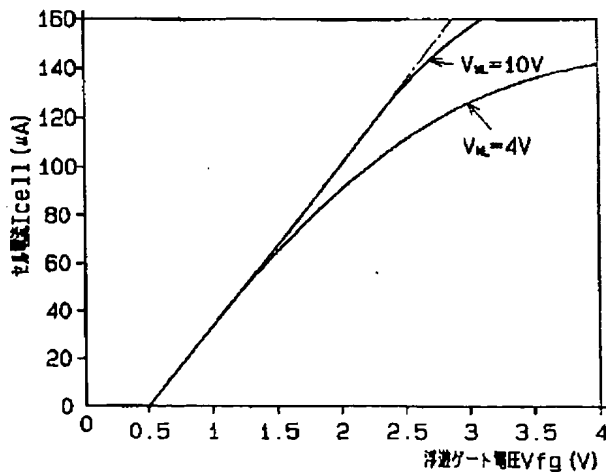
【図7】

比較アンブ 24aの出力	比較アンブ 24bの出力	比較アンブ 24cの出力	出力データ	
			データパッド 3aの出力	データパッド 3bの出力
0	0	0	0	0
1	0	0	0	1
1	1	0	1	0
1	1	1	1	1

【図8】



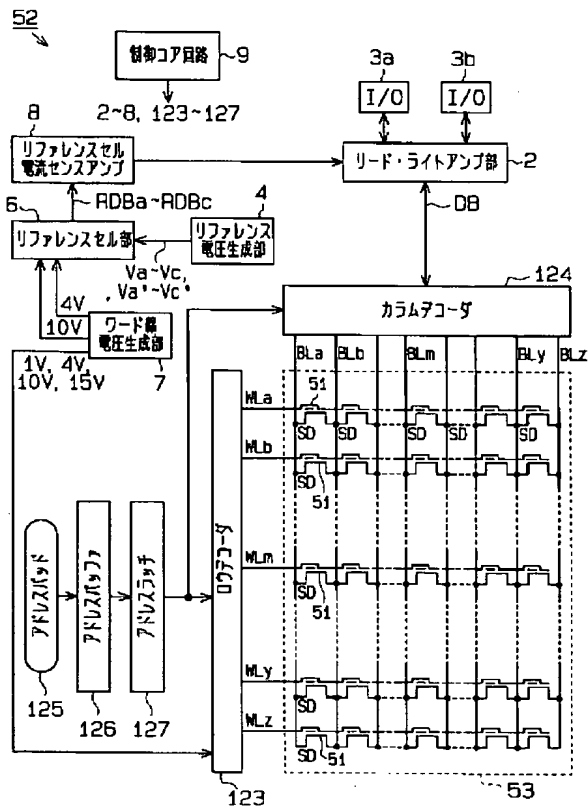
【図9】



【図16】

動作モード	書き込み	消去	読み出し
ワード線WLm (制御ゲートCG)	1V	15V	4V
ビット線BLm (フレインド)	12V	0V	3V
夫源ソース線SL (ソース)	0V	0V	0V
基板102	0V	0V	0V

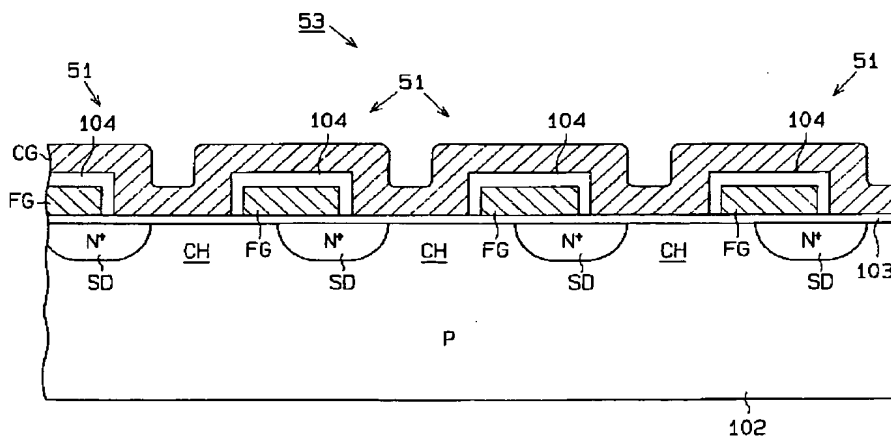
【図10】



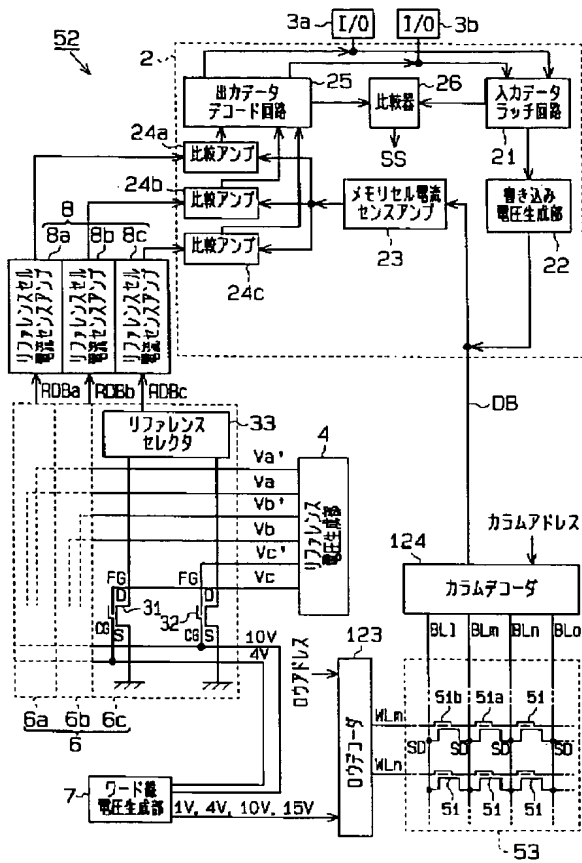
【図13】

動作モード	書き込み	消去	読み出し	消去・読み出し
ワード線WL <sub>m</sub> (制御ゲート電圧CG)	1V	15V	4V	10V
ワード線WL <sub>n</sub> (制御ゲート電圧CG)	0V	0V	0V	0V
ビット線BL <sub>1</sub> (ソース・ドレイン電圧SD)	0V	0V	3V	3V
ビット線BL <sub>m</sub> (ソース・ドレイン電圧SD)	V <sub>re</sub> (9.5V, 8.1V, 7.3V, 0V)	0V	0V	0V
ビット線BL <sub>n</sub> (ソース・ドレイン電圧SD)	0V	0V	3V	3V
ビット線BL <sub>p</sub> (ソース・ドレイン電圧SD)	0V	0V	3V	3V
基板102	0V	0V	0V	0V

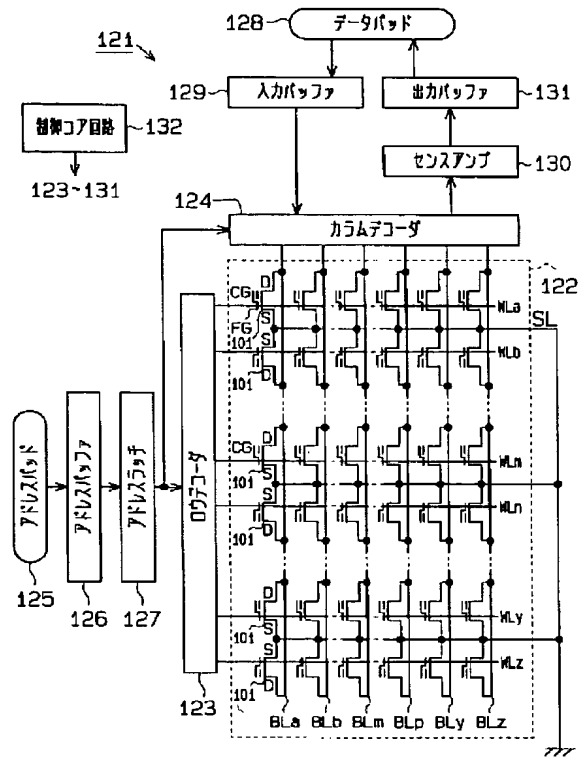
【図11】



【図12】

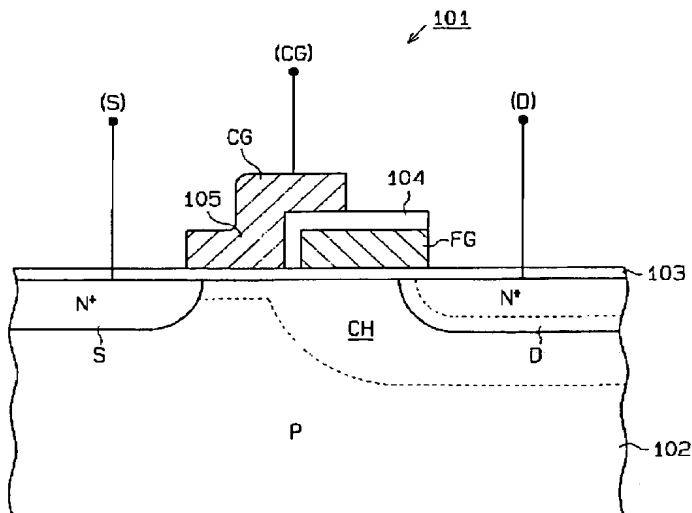


【図15】



【図17】

【図14】



動作モード	書き込み	消去	読み出し
ワード線WLm (制御ゲートCG)	1V	15V	4V
ビット線BLm (ドレインD)	0V	0V	3V
共通ソース線SL (ソースS)	12V	0V	0V
基板102	0V	0V	0V

【図18】

